

補助事業番号 2018M-148

補助事業名 平成30年度 LSIにおける遷移遅延故障のテスト容易性を考慮した  
高位合成 補助事業

補助事業者名 呉工業高等専門学校 機械工学分野 吉川祐樹

## 1 研究の概要

本研究は、遷移遅延故障のテスト容易性を考慮した高位合成法を提案し、高位合成CADとして実装することで、回路性能の最適性だけでなくテスト容易性も配慮した回路を生成することができる。

## 2 研究の目的と背景

LSI設計におけるテスト容易化設計は、これまで設計工程の下位段階にあたるゲートレベルで行われることが主流であったが、最近の研究では、より上位からテスト容易性を考慮する設計が注目されている。ゲートレベルまで落とし込まれた回路は、実際の物理的欠陥を故障モデルで表現しやすい。しかしこの段階では、テスト時の動作は回路の通常動作と独立して設計せざるを得ない。そのため、テスト動作のために追加するハードウェア面積や動作速度のオーバーヘッドが大きい。

これに対し設計の上位段階では、回路の通常動作だけでなくテスト時の動作も併せて設計することができ、動作速度や回路面積の制約を満たし、かつテスト容易な回路の合成が期待できる。ここで考えるべきポイントは、通常動作とテスト動作をオーバーラップさせながら最適な合成(回路面積の最小化もしくは動作速度の最大化など)を行うことである。本事業では、遷移遅延故障のテスト容易性を考慮した高位合成の提案を研究目的とする。

## 3 研究内容

### (1) 遷移遅延故障のテスト容易性を考慮した高位合成

高位合成は図1に示すように、動作記述(ソフトウェアプログラム)からその動作を満たす回路(ハードウェア)を生成する処理である。ただし、本研究では、動作記述をデータフローグラフという演算の順番を示す形式で表現する。

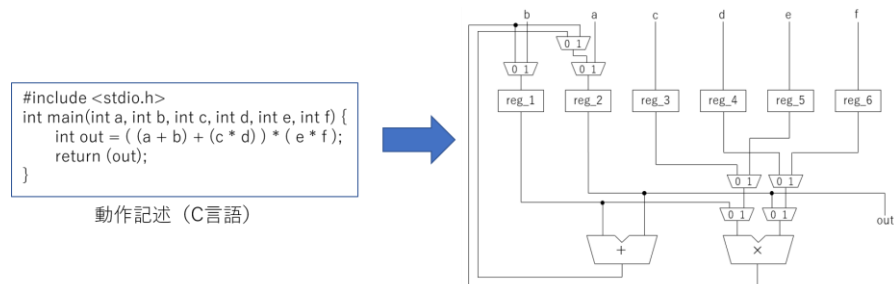


図1 高位合成の概要

高位合成は主にスケジューリングとバインディングの2つの処理からなる。スケジューリングは使用する演算器数(面積に影響)や実行時間(速度に影響)などの制約下で、各演算の実行時刻を決定する。バインディングは各演算を実際のハードウェア演算器に割り当てる処理である。

図2は遷移遅延故障のテスト容易性を考慮したスケジューリング法を示している。

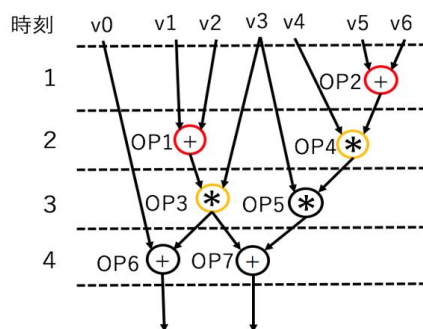


図2 遅延故障のテスト容易性を考慮したスケジュール例

このポイントは、2時刻連続で実行される同じ種類の演算(例えば加算OP1と加算OP2や乗算OP3と乗算OP4)のペアができるだけ多くなるようにスケジューリングしていくことである。バインディングは文献[1]でwangらによって提案された手法をもとにし、2時刻連続の演算ペアを同じ演算器に割り当てるようにする。

[1] S.J. Wang and T.H. Yeh, "High-level test synthesis with hierarchical test generation for delay-fault testability," IEEE Trans. on CAD, vol.28, no.10, pp.1583–1596, Oct. 2009

## (2) 高位合成CADの実装

図3は実装したCADの画面である。

左側に処理メニューがあり、「DFG生成」→「スケジューリング」→「バインディング」と処理が進んでいく。各処理の状態は右側に表示される。



図3 高位合成CADの概要

例えば、図4は実装したCADでデータフローグラフを描いた例であり、図5はスケジューリング結果、図6は出力された回路図となっている。

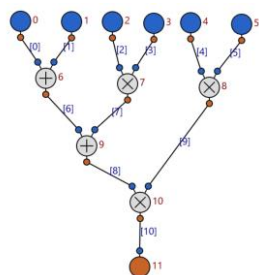


図4 データフローグラフ例

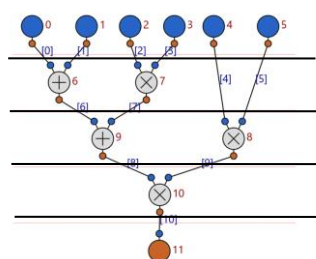


図5 スケジューリング結果

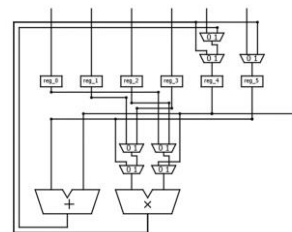


図6 出力回路図

このように、データフローグラフを入力として与えることで、そこから遷移故障の遅延テスト容易性を考慮したスケジューリング、バインディングを行い回路を出力する高位合成CADを実装した。ただし、C言語などのソフトウェアプログラムで記述した動作記述からデータフローグラフを自動生成する入力部分や、出力回路をハードウェア記述言語として出力する出力部分は今後の課題となっている。

#### 4 本研究が実社会にどう活かされるかー展望

VIVADOなど既存の高位合成ツールは、面積が小さい回路や高速に動作する回路など性能最適化を目的に回路生成を行う。しかしながら、テスト容易性の向上など高信頼設計はまだ配慮されていない。将来的には、性能最適化に加えて高信頼性も併せた回路合成ツールが必要になると考えられ、本事業の成果が応用されることを期待する。

#### 5 教歴・研究歴の流れにおける今回研究の位置づけ

IOTやAIなど様々な情報機器によって我々の生活は支えられる一方、コンピュータのコアとなるハードウェアの回路規模は大規模複雑化している。設計はますます上流化する中で、回路の故障の有無を確認するテストは設計の下流工程で行われるのが現状である。回路の性能だけでなくテストや高信頼性も併せて上流から設計することが重要であり、本研究は遅延故障のテスト容易性を上流から考える手法として学術的意味があると考えらる。

#### 6 本研究にかかわる知財・発表論文等

・電子情報通信学会総合大会 情報・システムソサイエティ特別企画 ポスター発表（2019年3月）

## 7 補助事業に係る成果物

### (1)補助事業により作成したもの

遅延故障のテスト容易性を考慮した高位合成ツール(公開には至っていない)

### (2)(1)以外で当事業において作成したもの

該当なし

## 8 事業内容についての問い合わせ先

所属機関名: 呉工業高等専門学校(クレコウギョウコウトウセンモンガッコウ)

住 所: 〒737-8506 広島県呉市阿賀南2-2-11

担 当 者: 准教授 吉川 祐樹(ヨシカワ ユウキ)

担 当 部 署: 機械工学分野(キカイコウガクブンヤ)

E - m a i l: [yosikawa@kure-nct.ac.jp](mailto:yosikawa@kure-nct.ac.jp)

U R L: <http://yoshikawa-lab.sunnyday.jp>